

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-265000

(43)Date of publication of application : 28.09.1999

(51)Int.Cl. G02F 1/136
H01L 29/786
H01L 21/336

(21)Application number : 10-069011

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1998

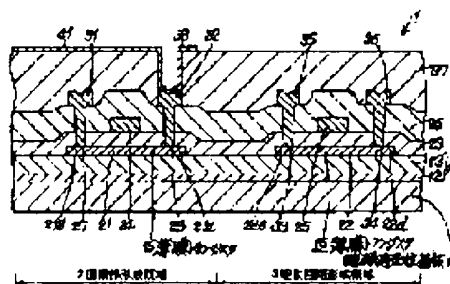
(72)Inventor : IMAI NOBUO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which has thin-film transistors having different properties.

SOLUTION: On a glass substrate 11, an amorphous silicon film is formed, a resist pattern is formed on a pixel formation area 2, and the amorphous silicon film exposed in a driving circuit formation area 3 has its surface oxidized with a O₂ plasma. Resist and the oxidized film are removed to make the film thickness of the amorphous silicon film different between the pixel part formation area 2 and driving circuit formation area 3. The pixel part formation area 2 and driving circuit formation area 3 are made different in the mean crystal particle size of the polycrystalline silicon film by excimer laser annealing. After the polycrystalline silicon film is formed by laser annealing, elements are separated and polycrystalline silicon films 21 and 22 are formed. A gate insulating film 23 and gate electrodes 24 and 25 are formed and source areas 21s and 22s and drain areas 21d and 22d are formed. Inter-layer insulating films 26 and 27, source electrodes 31 and 35, and drain electrodes 32 and 36 are formed. On the inter-layer insulating film 37, a pixel electrode 41 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

 CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display characterized by providing an insulating translucency substrate, the drive circuit formation field which has the TFT for mechanical components of the polycrystal silicon formed on this insulating translucency substrate, and the pixel section formation field which is formed on the aforementioned insulating translucency substrate and has the TFT for the pixel sections of small polycrystal silicon of a leakage current from the aforementioned TFT for mechanical components.

[Claim 2] The transistor for the pixel sections and the TFT for mechanical components are the liquid crystal display according to claim 1 characterized by the thing of a mean particle diameter and thickness which either differs at least.

[Claim 3] It is the liquid crystal display according to claim 1 or 2 with which the mean particle diameter of the TFT for the pixel sections is 0.1 micrometers or 0.3 micrometers, and TFT for mechanical components is characterized by a mean particle diameter being 0.5 micrometers or 2.0 micrometers.

[Claim 4] There is no claim 1 characterized by being 80% - 95% of the

thickness of the polycrystal silicon of the TFT for mechanical components is the liquid crystal display of a publication 3 either.

[Claim 5] The manufacture method of a liquid crystal display characterized by providing the following. The process which forms an amorphous silicon film on an insulating translucency substrate. The process which forms the pattern of the resist of a desired configuration in this amorphous silicon film. The process as for which this resist oxidizes the front face of an amorphous silicon film as a mask. The process which the oxide film formed in the aforementioned resist and the amorphous silicon film front face is removed [process 1], and changes the thickness of an amorphous silicon film, and the process which crystallizes the aforementioned amorphous silicon film.

[Claim 6] The resist on amorphous silicon is the manufacture method of the liquid crystal display according to claim 5 characterized by being formed in a pixel section formation field.

[Claim 7] The amount of oxidization of an amorphous silicon film is the manufacture method of the liquid crystal display according to claim 5 or 6 characterized by being 5% - 20% of the thickness of an amorphous silicon film.

[Claim 8] O2 There is no claim 5 characterized by the thing of plasma.

oxidized by either at least, and it is the manufacture method of the liquid crystal display a publication 7 either.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the liquid crystal display which has the TFT of a different property, and its manufacture method.

[0002]

[Description of the Prior Art] Generally, since a liquid crystal display has thin shape lightweight and the big advantage of a low power, it is used for the display of OA devices, such as a liquid crystal television, a Japanese word processor, or a desktop personal computer, in recent years, and the liquid crystal display adapting the TFT or the TFT array which used polycrystal silicon for the barrier layer is developed especially in recent years.

[0003] Moreover, the TFT which used polycrystal silicon for the barrier layer is conventionally applied to the mechanical-component switching element of the drive circuit which accumulates the switching element for the pixel sections and TFT which are the display of a liquid crystal display, and drives a pixel section switching element. That is, it is used for the pixel section

TFT for the voltage impression to liquid crystal, and the mechanical-component TFT which drives this pixel section TFT in the pixel.

[0004] And although the performance in which both pixel section TFT and mechanical-component TFT are high is required with quality improvement of a display, on the other hand, as for mechanical-component TFT, electric field effect mobility high [for the high-speed operation of a circuit] is demanded of pixel section TFT for the low leakage current for holding the impressed voltage.

[0005] Moreover, the TFT of highly efficient polycrystal silicon can be formed on an insulating glass substrate at low process temperature by progress of process technology. It is improving sharply to more than $200\text{cm}^2/\text{V.s}$ that electric field effect mobility was to $60\text{cm}^2/\text{V.s}$ grade because the crystallization process which obtains polycrystal silicon especially changes for example, to the excimer laser annealing (ELA) method from a solid phase grown method. In addition, in the polycrystal-ized process by the excimer laser annealing method, it has influence in the property of TFT with the big size of the crystal grain of the silicon produced, for example, as for the polycrystal silicon whose size of crystal grain is $0.3\text{ micrometers} \sim 0.4\text{ micrometers}$, electric field effect mobility also reaches $200\text{cm}^2/\text{V.s}$ grade.

[0006]

[Problem(s) to be Solved by the Invention] However, the TFT with high electric field effect mobility has the problem unsuitable for the pixel section TFT as which a leakage current also has a large inclination and a low leakage current is required for the ease of flowing of current.

[0007] As mentioned above, although the liquid crystal display using polycrystal silicon can produce simultaneously the pixel section TFT formed in the pixel section, and the mechanical-component TFT formed in a mechanical component, there is a big difference in the performance demanded and, on the other hand, the size of the diameter of crystal grain of the polycrystal silicon crystallized by laser annealing can be greatly changed by **** of the energy density at the time of carrying out laser radiation, the number of times of irradiation, and an amorphous silicon film etc.

[0008] this invention was made in view of the above-mentioned trouble, and aims at offering the liquid crystal display which has the TFT of a different property, and its manufacture method.

[0009]

[Means for Solving the Problem] this invention possesses an insulating translucency substrate, the drive circuit formation field which has the TFT for

translucency substrate, and the pixel section formation field which is formed on the aforementioned insulating translucency substrate and has the TFT for the pixel sections of small polycrystal silicon of a leakage current from the aforementioned TFT for mechanical components.

[0010] And the TFT for mechanical components considers as a thing with the usual high electric field effect mobility, and the pixel section TFT as which a low leakage current is required considers as the small thing of a leakage current, and raises display quality.

[0011] Moreover, the transistor for the pixel sections and the TFT for mechanical components are things of a mean particle diameter and thickness from which either differs at least.

[0012] Furthermore, the mean particle diameter of the TFT for the pixel sections is 0.1 micrometers or 0.3 micrometers, and the mean particle diameter of the TFT for mechanical components is 0.5 micrometers or 2.0 micrometers.

[0013] Furthermore, the thickness of the polycrystal silicon of the TFT for mechanical components is 80% - 95% of the thickness of the polycrystal silicon of the TFT for the pixel sections.

[0014] Moreover, the process which forms an amorphous silicon film on an insulating translucency substrate and

on this amorphous silicon film. The process as for which this resist oxidizes the front face of an amorphous silicon film as a mask, It is a thing possessing the process which the oxide film formed in the aforementioned resist and the amorphous silicon film front face is removed [process], and changes the thickness of an amorphous silicon film, and the process which crystallizes the aforementioned amorphous silicon film. By changing the thickness of amorphous silicon, when the thickness of amorphous silicon differs in the case of crystallization, the TFT from which a property differs, respectively is formed again.

[0015] Moreover, the resist on amorphous silicon is formed in a pixel section formation field.

[0016] Furthermore, the amount of oxidization of an amorphous silicon film is 5% - 20% of the thickness of an amorphous silicon film.

[0017] Furthermore, O₂ It is the thing of plasma, ozone plasma, and ozone water treatment which oxidizes an amorphous silicon film by either at least.

[0018]

[Embodiments of the Invention]

Hereafter, the gestalt of 1 operation of the liquid crystal display of this invention is explained with reference to a drawing.

[0019] as shown in drawing 2 , the TFT array substrate 1 forms this liquid crystal display -- having -- this TFT array

substrate 1 -- a flat-surface configuration -- the rectangle-like pixel section formation fields 2 and 2 -- having -- each of these -- the drive circuit formation field 3 which drives this pixel section formation field 2 along with two sides of the pixel section formation field 2 is formed

[0020] Moreover, the under-coat layer 14 which carried out the laminating of the nitride 12 of 500A thickness and the oxide film 13 of 3000A thickness to the glass substrates 11, such as an alkali free glass as an insulating translucency substrate or alkali glass, was formed, and the cross-section configuration of this TFT array substrate 1 has prevented diffusion of alkali impurities, such as sodium (Na) from a glass substrate 11, in this under-coat layer 14, as shown in drawing 1 . In addition, as for this under-coat layer 14, only in the monolayer of a nitride 12, the monolayer of an oxide film 13 or an oxide film 13 can acquire the effect that the upper laminating also has the same nitride 12, in a lower layer.

[0021] And TFT 15 for the pixel sections is formed in the pixel section formation field 2 on this under-coat layer 14, and TFT 16 for mechanical components is formed in the drive circuit formation field 3. Moreover, the polycrystal silicon film 21 of polycrystal silicon 0.25 micrometers or less is formed in TFT 15 for the pixel sections for a mean particle diameter by

600Å thickness, and the polycrystal silicon film 22 of polycrystal silicon 0.6 micrometers or less is formed in TFT 16 for mechanical components for the mean particle diameter by thickness (80% of the polycrystal silicon film 21 of TFT 16 for the pixel sections, and about 95%, for example, 500Å).

[0022] Moreover, on these polycrystal silicon film 21 and the polycrystal silicon film 22, the gate insulator layer 23 of an oxide film is formed, the gate electrode 24 of TFT 15 for the pixel sections is formed above the polycrystal silicon film 21 on this gate insulator layer 23, and the gate electrode 25 of TFT 16 for mechanical components is similarly formed above the polycrystal silicon film 22 on the gate insulator layer 23. In addition, ion is driven into each polycrystal silicon film 21 and 22, and they are 21s of source fields, and 22s. And 21d of drain fields, and 22d It is formed.

[0023] Furthermore, on the gate insulator layer 23 containing these gates electrodes 24 and 25 The layer insulation film 26 is formed and it is 21s of source fields of these layer insulation film 26 and the polycrystal silicon film 21 of the gate insulator layer 23, 21d of and drain fields Into a corresponding portion Contact holes 27 and 28 are formed and it is 21s of source fields to these contact holes 27 and 28, 21d of and drain fields The metal

contact are formed, respectively. 22s of moreover, source fields of these layer insulation film 26 and the polycrystal silicon film 22 of the gate insulator layer 23 22d of and drain fields Contact holes 33 and 34 are formed in a corresponding portion, and it is 22s of source fields to these contact holes 33 and 34, 22d of and drain fields The metal source electrode 35 and the metal drain electrode 36 which carry out ohmic contact are formed, respectively.

[0024] Furthermore, the pixel electrode 41 which formed the layer insulation film 37 on the layer insulation film 26 containing these source electrodes 31 and 35 and the drain electrodes 32 and 36, formed the contact hole 38 on the drain electrode 32 of the pixel section formation field 2, and was formed by transparent electrodes, such as ITO (IndiumTin Oxide), on the layer insulation film 37 of the pixel section formation field 2 is formed, and the TFT array substrate 1 is completed.

[0025] And the opposite substrate in which the counterelectrode which is not illustrated was formed is made to counter this TFT array substrate 1, between these TFT array substrate 1 and an opposite substrate, liquid crystal is made to pinch and a liquid crystal display is formed.

[0026] Next, the manufacture method of

[0027] First, on a glass substrate 11, by 500A thickness, the laminating of the oxide film 13 is carried out, membranes are formed by the nitride 12 and 3000A thickness, the under-coat layer 14 is formed with plasma CVD equipment, and 600A amorphous silicon is formed on this under-coat layer 14.

[0028] Then, it anneals at 500 degrees C for 1 hour, and the hydrogen in amorphous silicon is desorbed. And it is the amorphous silicon film which formed the pattern of a resist on the pixel section formation field 2 of this amorphous silicon film, and the drive circuit formation field 3 exposed O2 The amount of [of the front face of an amorphous silicon film / about 10% of] thickness is made to oxidize by plasma.

[0029] Then, removal of the oxide film formed on the resist and the amorphous silicon film forms the thickness of the amorphous silicon film of 600A and the drive circuit formation field 3 for the thickness of the amorphous silicon film of the pixel section formation field 2 by about 540A.

[0030] And the polycrystal silicon films 21 and 22 can be formed by laser radiation, and in the pixel section formation field 2 and the drive circuit formation field 3 in which the thickness of an amorphous silicon film differs, the laser radiation of the same energy density can also change the particle size of polycrystal silicon alternatively

because thickness differs.

[0031] Here, it is 340 mJ/cm² to drawing 3. The thickness of amorphous silicon at the time of carrying out excimer laser annealing on the conditions which it was made to overlap 95% and were irradiated 20 times with irradiation energy, and the relation of the diameter of average crystal grain are shown. That is, the diameter of crystal grain of polycrystal silicon becomes small as the diameter of crystal grain of polycrystal silicon becomes the largest and thickness becomes thick, when the thickness of amorphous silicon is about 500A.

[0032] And these 340 mJ/cm² By single irradiation energy, the diameter of average crystal grain is set to 0.26 micrometers or less by the polycrystal silicon film of the pixel section formation field 2 whose thickness of an amorphous silicon film is 600A, and the diameter of average crystal grain is set to 0.6 micrometers by the polycrystal silicon film of the drive circuit formation field 3 whose thickness of an amorphous silicon film is about 540A. Furthermore, after forming a polycrystal silicon film in excimer laser annealing in this way, isolation of each is carried out and the polycrystal silicon films 21 and 22 are formed.

[0033] Furthermore, by the plasma CVD method, the gate insulator layer 23 of an oxide film is formed, and the gate electrodes 24 and 25 are formed on this

gate insulator layer 23.

[0034] And p type or n type ion is driven into the polycrystal silicon films 21 and 22 by self-adjustment by using the gate electrodes 24 and 25 as a mask, and they are 21s of source fields, and 22s. And 21d of drain fields, and 22d It forms.

[0035] furthermore, gate electrode 24 and 25 top -- the layer insulation film 26 -- forming membranes -- 21s of source fields, 22s and 21d of drain fields, and 22d

Excimer laser annealing processing is carried out in order to lower resistance. And contact holes 27, 28, 33, and 34 are formed in the predetermined part of the layer insulation film 26 and the gate insulator layer 23. These contact holes 27 and 33 are minded and they are 21s of source fields of the polycrystal silicon films 21 and 22, and 22s. Ohmic contact of the source electrodes 31 and 35 is carried out. Moreover, contact holes 28 and 34 are minded and they are 21d of drain fields of the polycrystal silicon films 21 and 22, and 22d. Ohmic contact of the drain electrodes 32 and 36 is carried out.

[0036] Moreover, the layer insulation film 37 is formed on the layer insulation film 26 containing these source electrodes 31 and 35 and the drain electrodes 32 and 36. a contact hole 38 is formed in this layer insulation film 37, the pixel electrode 41 is formed on the layer insulation film 37, the pixel electrode 41 is contacted to the

configuration, and the TFT array substrate 1 is completed.

[0037] And a liquid crystal display is completed by laying an opposite substrate on top of the TFT array substrate 1, pouring in liquid crystal, and sticking.

[0038] In addition, it is O₂ in case the amorphous silicon film exposed with the gestalt of the above-mentioned implementation, without carrying out a resist is oxidized. Although it was made to oxidize by plasma and the oxide film was formed, it is ozone plasma or O₂. The same effect can be acquired even if it makes it oxidize by the plasma treatment or ozone water treatment by the gas made into a principal component.

[0039] Moreover, although each diameter of average crystal grain in two sorts of thickness of an amorphous silicon film changes with the irradiation energy and the number of times of irradiation at the time of carrying out excimer laser annealing, as for the thickness which the amorphous silicon film of the drive circuit formation field 3 is oxidized, and carries out film decrease, it is desirable that it is 5% - 20% of the thickness of the amorphous silicon film of the pixel section formation field 2.

[0040] Furthermore, ***** after annealing at 500 degrees C although it carried out before annealing the process

[0041] Moreover, after oxidizing an amorphous silicon film, by TFT 15 for the pixel sections of the pixel section formation field 2, and TFT 16 for mechanical components of the drive circuit formation field 3, a threshold voltage is independently controlled by driving in boron ion or phosphorus ion by using as a mask the resist formed on the amorphous silicon film, and can be set up according to it, respectively.

[0042] As mentioned above, in the pixel section formation field 2 and the drive circuit formation field 3, by producing the polycrystal silicon with which crystallinity, i.e., a crystallized state, differed, it becomes possible to produce TFT 15 for the pixel sections and TFT 16 for mechanical components of the property demanded, respectively, and high-definition high image display of contrast can be realized. That is, at TFT 15 for the pixel sections of the pixel section formation field 2, electric field effect mobility is made small, a leakage current is made small, by TFT 16 for mechanical components of the drive circuit formation field 3, electric field effect mobility is made high and a liquid crystal display can realize high-definition image display.

[0043]

[Effect of the Invention] According to this invention, the TFT for mechanical components considers as a thing with the usual high electric field effect mobility,

and the pixel section TFT as which a low leakage current is required considers as the small thing of a leakage current, and can improve display quality.

[0044] Moreover, according to this invention, by changing the thickness of amorphous silicon, when the thickness of amorphous silicon differs in the case of crystallization, the TFT from which a property differs, respectively can be formed easily again.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the TFT array substrate of the gestalt of 1 operation of the liquid crystal display of this invention.

[Drawing 2] It is the plan showing a TFT array substrate same as the above.

[Drawing 3] It is the graph which shows the relation between amorphous silicon thickness same as the above and the diameter of average crystal grain.

[Description of Notations]

2 Pixel Section Formation Field

3 Drive Circuit Formation Field

11 Glass Substrate as an Insulating Translucency Substrate

15 16 TFT

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265000

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶
G 0 2 F 1/136
H 0 1 L 29/786
21/336

識別記号
5 0 0

F I
G 0 2 F 1/136
H 0 1 L 29/78
5 0 0
6 1 2 B
6 1 8 D
6 1 8 Z
6 2 7 Z

審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平10-69011

(22) 出願日 平成10年(1998) 3月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町2番地

(72) 発明者 今井 信雄

埼玉県深谷市幡羅町一丁目9番2号 株式
会社東芝深谷電子工場内

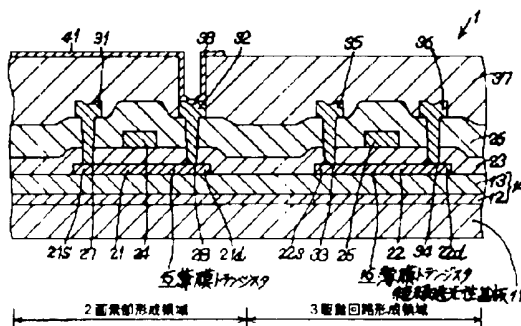
(74) 代理人 弁理士 権澤 襄 (外 2 名)

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 異なる性質の薄膜トランジスタを有する液晶表示装置を提供する

【解決手段】 ガラス基板11上に非晶質シリコン膜を形成し、画素部形成領域2上にレジストのパターンを形成し、駆動回路形成領域3の露出した非晶質シリコン膜を O_2 プラズマにより表面を酸化させる。レジストおよび酸化膜を除去し、画素部形成領域2および駆動回路形成領域3の非晶質シリコン膜の膜厚を異ならせる。エキシマレーザアノールで画素部形成領域2と、駆動回路形成領域3との多結晶シリコン膜の平均結晶粒径を異ならせる。レーザアノールにて多結晶シリコン膜を形成した後、それぞれを素子分離して多結晶シリコン膜21、22を形成する。ゲート絶縁膜23、ゲート電極24、25を形成し、ソース領域21s、22s およびドレイン領域21d、22



【特許請求の範囲】

【請求項1】 絶縁透光性基板と、

この絶縁透光性基板上に形成された多結晶シリコンの駆動部用薄膜トランジスタを有する駆動回路形成領域と、前記絶縁透光性基板上に形成され前記駆動部用薄膜トランジスタよりリーク電流の小さい多結晶シリコンの画素部用薄膜トランジスタを有する画素部形成領域とを具備したことを特徴とする液晶表示装置。

【請求項2】 画素部用トランジスタおよび駆動部用薄膜トランジスタは、平均粒径および膜厚の少なくともいずれかが異なることを特徴とした請求項1記載の液晶表示装置。

【請求項3】 画素部用薄膜トランジスタは、平均粒径が $0.1\mu\text{m}$ ないし $0.3\mu\text{m}$ で、

駆動部用薄膜トランジスタは、平均粒径が $0.5\mu\text{m}$ ないし $2.0\mu\text{m}$ であることを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】 駆動部用薄膜トランジスタの多結晶シリコンの膜厚は、画素部用薄膜トランジスタの多結晶シリコンの膜厚の $80\%\sim 95\%$ であることを特徴とする請求項1ないし3いずれか記載の液晶表示装置。

【請求項5】 絶縁透光性基板上に非晶質シリコン膜を成膜する工程と、

この非晶質シリコン膜に所望の形状のレジストのパターンを形成する工程と、

このレジストをマスクとして非晶質シリコン膜の表面を酸化させる工程と、

前記レジストおよび非晶質シリコン膜表面に形成された酸化膜を除去し非晶質シリコン膜の膜厚を異ならせる工程と、

前記非晶質シリコン膜を結晶化する工程とを具備したことを特徴とする液晶表示装置の製造方法。

【請求項6】 非晶質シリコン上のレジストは、画素部形成領域に形成されることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項7】 非晶質シリコン膜の酸化量は、非晶質シリコン膜の膜厚の $5\%\sim 20\%$ であることを特徴とする請求項5または6記載の液晶表示装置の製造方法。

【請求項8】 O_2 プラズマ、オゾンプラズマおよびオゾン水処理の少なくともいずれかにより非晶質シリコン膜を酸化させることを特徴とする請求項5ないし7いずれか記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、異なる性質の薄膜トランジスタを有する液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】一般に、液晶表示装置は、薄型軽量、低消費電力の大きな利点を有するため、近年、液晶テレ

ビ、日本語ワードプロセッサあるいはパーソナルコンピュータなどの電子機器の表示装置に用いられ、特に、近年、多結晶シリコンを活性層に使用した薄膜トランジスタもしくは薄膜トランジスタアレイを応用した液晶表示装置が開発されている。

【0003】また、多結晶シリコンを活性層に使用した薄膜トランジスタは、従来、液晶表示装置の表示部である画素部用スイッチング素子や薄膜トランジスタを集積して画素部スイッチング素子を駆動する駆動回路の駆動部スイッチング素子に應用されている。すなわち、画素中で液晶への電圧印加用の画素部薄膜トランジスタと、この画素部薄膜トランジスタを駆動する駆動部薄膜トランジスタとに用いられている。

【0004】そして、表示の高品質化に伴ない画素部薄膜トランジスタおよび駆動部薄膜トランジスタはともに高い性能が要求されるが、画素部薄膜トランジスタには印加した電圧を保持するための低いリーク電流が、一方、駆動部薄膜トランジスタは回路の高駆動のための高い電界効果移動度が要求されている。

【0005】また、プロセス技術の進歩により、低いプロセス温度で絶縁ガラス基板上に高性能な多結晶シリコンの薄膜トランジスタが形成可能である。特に、多結晶シリコンを得る結晶化プロセスが、固相成長法からたとえばエキシマレーザアニール(E LA)法に変わることによって電界効果移動度は $600\text{cm}^2/(\text{V}\cdot\text{s})$ 程度までであったのが、 $2000\text{cm}^2/(\text{V}\cdot\text{s})$ 以上へと大幅に向上している。なお、エキシマレーザアニール法による多結晶化プロセスでは、作製されるシリコンの結晶粒の大きさが薄膜トランジスタの特性に大きな影響を与え、たとえば結晶粒の大きさが $0.3\mu\text{m}\sim 0.4\mu\text{m}$ の多結晶シリコンは電界効果移動度が $2000\text{cm}^2/(\text{V}\cdot\text{s})$ 程度にも達する。

【0006】

【発明が解決しようとする課題】しかしながら、電界効果移動度の高い薄膜トランジスタは、電流の流れやすさのためにリーク電流も大きい傾向があり、低いリーク電流が要求される画素部薄膜トランジスタには不向きである問題を有している。

【0007】上述のように、多結晶シリコンを用いた液晶表示装置は画素部に形成される画素部薄膜トランジスタと、駆動部に形成される駆動部薄膜トランジスタとを同時に作製することが可能であるが、要求される性能には大きな違いがあり、一方、レーザアニールによって結晶化された多結晶シリコンの結晶粒径の大きさは、レーザ照射する際のエネルギー密度、照射回数、非晶質シリコン膜の膜厚などにより大きく異ならせることができる。

【0008】本発明は、上記問題点を鑑みなされたもので、異なる性質の薄膜トランジスタを有する液晶表示装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、絶縁透光性基板と、この絶縁透光性基板上に形成された多結晶シリコンの駆動部用薄膜トランジスタを有する駆動回路形成領域と、前記絶縁透光性基板上に形成され前記駆動部用薄膜トランジスタよりリーク電流の小さい多結晶シリコンの画素部用薄膜トランジスタを有する画素部形成領域とを具備したものである。

【0010】そして、駆動部用薄膜トランジスタは通常の電界効果移動度の高いものとし、低リーク電流が要求される画素部用薄膜トランジスタはリーク電流の小さいものとし、表示品質を向上させる。

【0011】また、画素部用トランジスタおよび駆動部用薄膜トランジスタは、平均粒径および膜厚のいずれか一方が異なるものである。

【0012】さらに、画素部用薄膜トランジスタは、平均粒径が0.1 μm ないし0.3 μm で、駆動部用薄膜トランジスタは、平均粒径が0.5 μm ないし2.0 μm であるものである。

【0013】またさらに、駆動部用薄膜トランジスタの多結晶シリコンの膜厚は、画素部用薄膜トランジスタの多結晶シリコンの膜厚の80%～95%であるものである。

【0014】また、絶縁透光性基板上に非晶質シリコン膜を成膜する工程と、この非晶質シリコン膜に所望の形状のレジストのパターンを形成する工程と、このレジストをマスクとして非晶質シリコン膜の表面を酸化させる工程と、前記レジストおよび非晶質シリコン膜表面に形成された酸化膜を除去し非晶質シリコン膜の膜厚を異ならせる工程と、前記非晶質シリコン膜を結晶化する工程とを具備したもので、非晶質シリコンの膜厚を異ならせることにより、また、結晶化の際に非晶質シリコンの膜厚が異なることにより、それぞれ性質の異なる薄膜トランジスタを形成する。

【0015】また、非晶質シリコン上のレジストは、画素部形成領域に形成されるものである。

【0016】さらに、非晶質シリコン膜の酸化量は、非晶質シリコン膜の膜厚の10%～20%であるものである。

【0017】またさらに、 O_2 プラズマ、セレンプラズマおよびセレン水処理のいずれかを用いられることにより非晶質シリコン膜を酸化させるものである。

【0018】

【発明の実施の形態】以下、本発明の液晶表示装置の一実施の形態を図面を参照して説明する。

回路形成領域3が形成されている。

【0020】また、この薄膜トランジスタ用レイ基板1の断面形状は、図1に示すように、絶縁透光性基板としての無アルカリガラスあるいはアルカリガラスなどのガラス基板11に、500 \AA 程度のシリコンの膜厚の窒化膜12および3000 \AA 程度のシリコンの膜厚の酸化膜13を積層したアンダーコート層14が形成され、このアンダーコート層14ではガラス基板11からのナトリウム(Na)などのアルカリ不純物の拡散を防いでいる。なお、このアンダーコート層14は、窒化膜12の単層のみ、酸化膜13の単層のみ、あるいは、酸化膜13が下層で窒化膜12が上層の積層でも同様の効果を得ることができる。

【0021】そして、このアンダーコート層14上には、画素部形成領域2に画素部用薄膜トランジスタ15が形成され、駆動回路形成領域3に駆動部用薄膜トランジスタ16が形成されている。また、画素部用薄膜トランジスタ15には0.05 μm 程度のシリコンの膜厚で平均粒径が0.25 μm 以下の多結晶シリコンの多結晶シリコン膜21が形成され、駆動部用薄膜トランジスタ16には画素部用薄膜トランジスタ16の多結晶シリコン膜21の80%ないし95%程度、たとえば0.05 μm 程度のシリコンの膜厚で平均粒径が0.6 μm 以下の多結晶シリコンの多結晶シリコン膜22が形成されている。

【0022】また、これらの多結晶シリコン膜21および多結晶シリコン膜22上には、酸化膜のゲート絶縁膜23が形成され、このゲート絶縁膜23上で多結晶シリコン膜21の一方には画素部用薄膜トランジスタ15のゲート電極24が形成され、同様にゲート絶縁膜23上で多結晶シリコン膜22の一方には駆動部用薄膜トランジスタ16のゲート電極25が形成されている。なお、それぞれの多結晶シリコン膜21、22には、イオンが打ち込まれてソース領域21s、22sおよびドレイン領域21d、22dが形成される。

【0023】さらに、これらのゲート電極21、25を含むゲート絶縁膜23上に、層間絶縁膜26を形成し、これら層間絶縁膜26およびゲート絶縁膜23の多結晶シリコン膜21のソース領域21sおよびドレイン領域21dの対応する部分には、コンタクトホール27、28を形成し、これらコンタクトホール27、28はソース領域21sおよびドレイン領域21dにそれぞれ接触する金属製のソース電極31およびドレイン電極32をそれぞれ形成する。また、これら層間絶縁膜26およびゲート絶縁膜23の多結晶シリコン膜22のソース領域22sおよびドレイン領域22dの対応する部分には、コンタクトホール33、34を形成し、これらコンタクトホール33、34はソース領域22sおよびドレイン領域22dにそれぞれ接触する金属製のソース電極35およびドレイン電極36をそれぞれ形成する。

図2は、図1の液晶表示装置の画素部形成領域2を駆動する駆動回路形成領域3の断面形状を示す。

図2に示すように、この駆動回路形成領域3は層間絶縁膜26およびゲート絶縁膜23の多結晶シリコン膜22のソース領域22sおよびドレイン領域22dの対応する部分

絶縁膜37上にITO (IndiumTin Oxide) などの透明電極で形成された画素電極41を形成し、薄膜トランジスタアレイ基板1が完成する。

【0025】そして、図示しない対向電極が形成された対向基板を、この薄膜トランジスタアレイ基板1に対向させ、これら薄膜トランジスタアレイ基板1および対向基板間に液晶を挟持させて液晶表示装置を形成する。

【0026】次に、上記実施の形態の製造方法について説明する。

【0027】まず、ガラス基板11上にプラズマCVD装置によって500オングストロームの膜厚で酸化膜12および3000オングストロームの膜厚で酸化膜13を積層して成膜してアンダーコート層14を形成し、このアンダーコート層14上にたとえば600オングストロームの非晶質シリコンを成膜する。

【0028】続いて、500℃で1時間アニールし、非晶質シリコン中の水素を脱離させる。そして、この非晶質シリコン膜の画素部形成領域2上にレジストのパターンを形成し、駆動回路形成領域3の露出した非晶質シリコン膜をたとえば O_2 プラズマにより非晶質シリコン膜の表面の10%程度の膜厚分を酸化させる。

【0029】その後、レジストおよび非晶質シリコン膜上に形成した酸化膜を除去すると、画素部形成領域2の非晶質シリコン膜の膜厚が600オングストローム、駆動回路形成領域3の非晶質シリコン膜の膜厚が約540オングストロームで形成される。

【0030】そして、レーザー照射によって多結晶シリコン膜21、22を形成し、非晶質シリコン膜の膜厚が異なる画素部形成領域2および駆動回路形成領域3で、同一のエネルギー密度のレーザー照射でも膜厚が異なることで選択的に多結晶シリコンの粒径を異ならせることができる。

【0031】ここで、図3に、 $340mJ/cm^2$ の照射エネルギーにて95%オン・オフさせて20回照射した条件でエキシマレーザアニールをした場合の、非晶質シリコンの膜厚と平均結晶粒径の関係を示す。すなわち、非晶質シリコンの膜厚が500オングストローム程度の場合に多結晶シリコンの結晶粒径が一層大きくなり、膜厚が厚くなるに従って多結晶シリコンの結晶粒径が小さくなる。

【0032】そして、この $340mJ/cm^2$ の単一の照射エネルギーで、非晶質シリコン膜の膜厚が600オングストロームの画素部形成領域2の多結晶シリコン膜では平均結晶粒径が0.26 μm 以下となり、非晶質シリコン膜の膜厚が約540オングストロームの駆動回路形成領域3の多結晶シリコン膜では平均結晶粒径が0.6 μm となる。さらに、このようにエキシマレーザアニールにて多結晶シリコン膜を形成した後、それぞれを素子分離して多結晶シリコン膜21、22を形成する。

【0033】さらに、プラズマCVD法によって酸化膜のゲート絶縁膜23を形成し、このゲート絶縁膜23上にゲ

ート電極24、25を形成する。

【0034】そして、ゲート電極24、25をマスクとして自己整合で多結晶シリコン膜21、22にp型あるいはn型のイオンを打ち込み、ソース領域21s、22sおよびドレイン領域21d、22dを形成する。

【0035】さらに、ゲート電極24、25上に層間絶縁膜26を成膜し、ソース領域21s、22sおよびドレイン領域21d、22dの抵抗を上げる目的でエキシマレーザアニール処理する。そして、層間絶縁膜26およびゲート絶縁膜23の所定の箇所にコンタクトホール27、28、33、34を形成し、これらコンタクトホール27、33を介して多結晶シリコン膜21、22のソース領域21s、22sにソース電極31、35をオーミック接触させ、また、コンタクトホール28、34を介して多結晶シリコン膜21、22のドレイン領域21d、22dにドレイン電極32、36をオーミック接触させる。

【0036】また、これらソース電極31、35およびドレイン電極32、36を含む層間絶縁膜26上に、層間絶縁膜37を形成し、この層間絶縁膜37にコンタクトホール38を形成し、層間絶縁膜37上に画素電極41を形成してドレイン電極32に画素電極41を接触させ、画素電極41を所定の形状に加工し、薄膜トランジスタアレイ基板1を完成する。

【0037】そして、薄膜トランジスタアレイ基板1に対向基板を重ね合わせ、液晶を注入して貼り合わせることで液晶表示装置が完成する。

【0038】なお、上記実施の形態では、レジストされた中に露出した非晶質シリコン膜を酸化させる際に、 O_2 プラズマにより酸化させて酸化膜を形成したが、オゾンプラズマあるいは O_3 を主成分とするガスによるプラズマ処理またはオゾン水処理によって酸化させても同様の効果を得ることができる。

【0039】また、非晶質シリコン膜の2種の膜厚でのそれぞれの平均結晶粒径は、エキシマレーザアニールする際の照射エネルギーおよび照射回数により異なるが、駆動回路形成領域3の非晶質シリコン膜を酸化させて膜減りさせる厚さは、画素部形成領域2の非晶質シリコン膜の膜厚の5%~20%であることが望ましい。

【0040】さらに、非晶質シリコン膜を酸化させる工程を500℃でアニールする前に行なったが、500℃でアニールした後でもよい。

【0041】また、非晶質シリコン膜を酸化させた後、非晶質シリコン膜上に形成したレジストをマスクとしてたとえばボロシイオンまたはリンイオンを打ち込むことで画素部形成領域2の画素部用薄膜トランジスタ15と駆動回路形成領域3の駆動部用薄膜トランジスタ16とでそれぞれ閾値電圧を独立に制御して設定できる。

【0042】上述のように、画素部形成領域2と駆動回路形成領域3とで、結晶性、すなわち結晶状態の異なった多結晶シリコンを作製することにより、それぞれ要求

される特性の画素部用薄膜トランジスタ15および駆動部用薄膜トランジスタ16を作製することが可能となり、コントラストの高い高品位な画像表示を実現できる。すなわち、画素部形成領域2の画素部用薄膜トランジスタ15では電界効果移動度を小さくしてリーク電流を小さくし、駆動回路形成領域3の駆動部用薄膜トランジスタ16では電界効果移動度を高くし、液晶表示装置は高品位な画像表示を実現できる。

【0043】

【発明の効果】本発明によれば、駆動部用薄膜トランジスタは通常の高電界効果移動度の高いものとし、低リーク電流が要求される画素部用薄膜トランジスタはリーク電流の小さいものとし、表示品質を向上できる。

【0044】また、本発明によれば、非晶質シリコンの膜厚を異ならせることにより、また、結晶化の際に非晶

質シリコンの膜厚が異なることにより、それぞれ性質の異なる薄膜トランジスタを容易に形成できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の一実施の形態の薄膜トランジスタアレイ基板を示す断面図である。

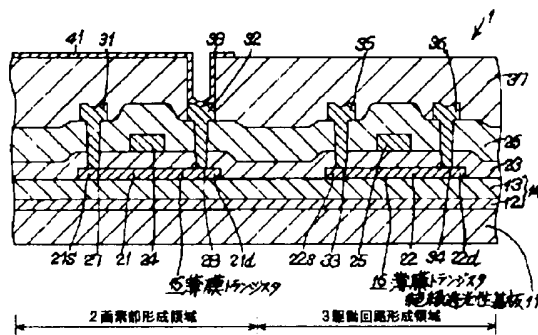
【図2】同上薄膜トランジスタアレイ基板を示す平面図である。

【図3】同上非晶質シリコン膜厚と平均結晶粒径との関係を示すグラフである。

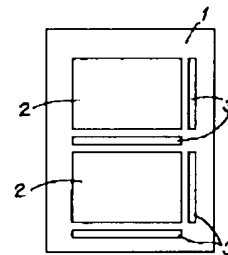
【符号の説明】

- 2 画素部形成領域
- 3 駆動回路形成領域
- 11 絶縁透光性基板としてのガラス基板
- 15, 16 薄膜トランジスタ

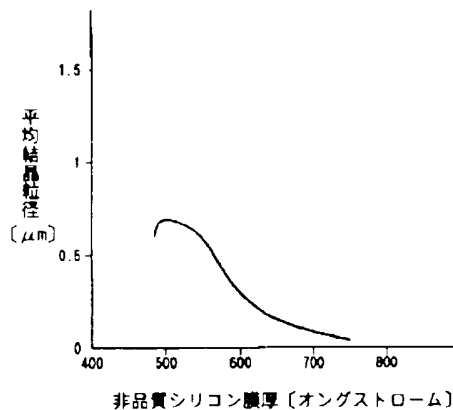
【図1】



【図2】



【図3】



100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200